

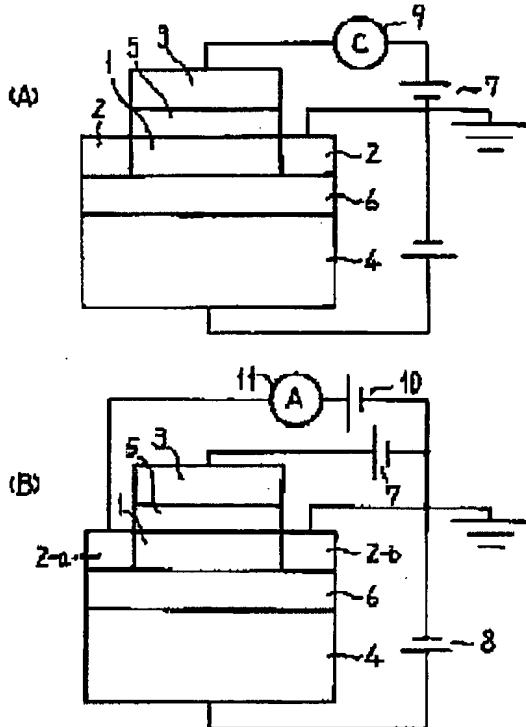
SEMICONDUCTOR DEVICE MEASURING METHOD

Patent number: JP5166909
 Publication date: 1993-07-02
 Inventor: YAMAZAKI HIROSHI
 Applicant: FUJITSU LTD
 Classification:
 - International: G01R31/26; H01L21/66
 - European:
 Application number: JP19910329365 19911213
 Priority number(s): JP19910329365 19911213

[Report a data error here](#)

Abstract of JP5166909

PURPOSE: To compute the thickness of an Si layer and the density of impurities by a method wherein the capacitance between a channel and a gate and the threshold voltages of a front gate and a back gate are measured in the state wherein a channel is formed only on the side of each oxide film on the front and back sides of the Si layer. **CONSTITUTION:** The thickness of an Si layer and the thickness of a front oxide film 5 are obtained by measuring the capacitance between diffusion layer and a front gate while the bias potential applied to the front gate and the back gate or a substrate 4 is being changed using a diffusion layer 2 as the reference potential. Also, the thickness of the Si layer 1 and the thickness of the front or back side oxide film is obtained by measuring the potential of each gate on the front and back sides where a channel is formed on the side of the front oxides film of the Si layer by changing the bias potential to be applied to the first gate 3 and the back gate using the diffusion layer as the reference potential, and at the same time, the density of impurities on the Si layer is computed. The measuring method contributes to the evaluation of a method for manufacturing a semiconductor device and the analysis of its characteristics.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-166909

(43)公開日 平成5年(1993)7月2日

(51)Int.Cl. ^o	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 21/66	P	8406-4M		
G 01 R 31/26	J	9214-2G		
H 01 L 21/66	N	8406-4M		
	Q	8406-4M		

審査請求 未請求 請求項の数3(全6頁)

(21)出願番号	特願平3-329365	(71)出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中1015番地
(22)出願日	平成3年(1991)12月19日	(72)発明者	山▲崎▼ 博 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74)代理人	弁理士 井桁 貞一

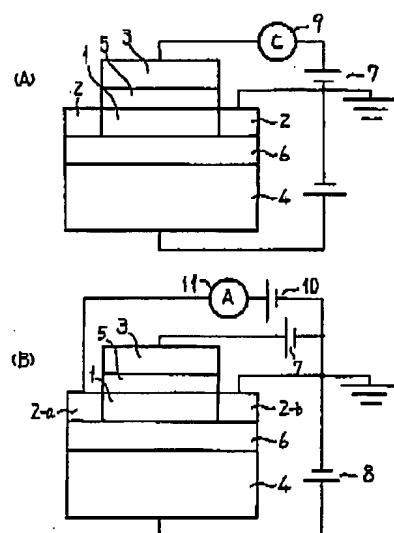
(54)【発明の名称】 半導体装置の測定方法

(57)【要約】

【目的】 SOI MOS FET に関し、 Si層の厚さと濃度を求める目的とする。

【構成】 1) 拡散層2を基準電位とし、 フロントゲート3とバックゲートまたは基板4に印加するバイアス電位を変化させながら拡散層とフロントゲートの静電容量を測定することにより、 Si層1の厚さとフロント酸化膜5の厚さを求める、 2) 拡散層を基準電位とし、 フロントゲートとバックゲートに印加するバイアス電位を変化させ、 Si層のフロント酸化膜側にチャネルが形成されるフロントゲートの電位と、 バックゲートの電位とを測定し、 およびSi層のバック酸化膜6側にチャネルが形成されるフロントゲートの電位と、 バックゲートの電位とを測定することにより、 Si層の厚さおよびフロント酸化膜あるいはバック酸化膜の厚さを求める、 3) 前記により求められたSi層とフロント酸化膜とバック酸化膜の厚さから、 Si層の不純物濃度を求めるように構成する。

本発明の原理説明図



【特許請求の範囲】

【請求項1】 パックゲートまたは基板(4)上にパックゲート酸化膜(6)、一導電型シリコン層(1)、フロント酸化膜(5)、フロントゲート(3)が順に積層され、該フロントゲート(3)の両側の該シリコン層(1)に形成された反対導電型拡散層(2)を有するSOI構造のMOS型半導体装置において、

該拡散層(2)を基準電位とし、該フロントゲート(3)と該パックゲートまたは基板(4)に印加するバイアス電位を変化させながら該拡散層(2)と該フロントゲート(3)間の静電容量を測定することにより、該シリコン層(1)の厚さとフロント酸化膜(5)の厚さを求める特徴とする半導体装置の測定方法。

【請求項2】 請求項1記載の半導体装置において、該拡散層(2)を基準電位とし、該フロントゲート(3)と該パックゲートまたは基板(4)に印加するバイアス電位を変化させ、該シリコン層(1)のフロント酸化膜側にチャネルが形成されるフロントゲート(3)の電位と、該パックゲートまたは基板(4)の電位とを測定し、および、該シリコン層(1)のパック酸化膜側にチャネルが形成されるフロントゲート(3)の電位と、該パックゲートまたは基板(4)の電位とを測定することにより、該シリコン層(1)の厚さおよびフロント酸化膜(5)の厚さあるいはパック酸化膜(6)の厚さを求める特徴とする半導体装置の測定方法。

【請求項3】 請求項1または2記載の半導体装置の測定方法により求められた該シリコン層(1)の厚さとフロント酸化膜(5)の厚さとパック酸化膜(6)の厚さから、該シリコン層(1)の不純物濃度を求める特徴とする半導体装置の測定方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の測定方法に係り、特にSOI(Silicon on Insulator)基板に形成されたMOS構造の半導体装置の半導体層厚および不純物濃度の測定方法に関する。

【0002】 近年、半導体装置の高性能化の要求に伴い、SOI基板を用いたMOSデバイスの開発が行われている。このデバイスは放射線耐性の向上、ラッチアップ効果の防止、相互コンダクタンスの向上等の利点がある。このデバイスの開発に際し、作製したデバイスの酸化膜厚、シリコン(Si)層厚およびSi層内の不純物濃度を求めるることは、作成方法の評価およびデバイス特性の解析に必要である。

【0003】

【従来の技術】 従来のパルク基板に作成したMOSデバイスにおいては、ゲートと基板間の静電容量を測定することにより、フロント酸化膜厚および不純物濃度を求めていた。測定される容量は、フロント酸化膜容量 C_{ox} と空乏層容量 C_v とを直列接続した値である。 C_{ox} はゲート

電圧に依存せず C_v はゲート電圧に依存するため、容量のゲート電圧依存性を測定することにより、 C_{ox} と C_v がわかり、従って C_{ox} よりフロント酸化膜厚が、 C_v より不純物濃度が求められる。

【0004】 ところが、SOI構造のMOSデバイスではパック酸化膜があるため、フロントゲートと基板間の容量は、パルク基板に作成したMOSデバイスでの容量と異なり、フロント酸化膜容量 $C_{ox..}$ と空乏層容量 C_v およびパック酸化膜容量 $C_{ox..}$ を直列接続した値となる。

【0005】

【発明が解決しようとする課題】 ところが、Si層が完全に空乏化する程度に薄い場合は空乏層容量 C_v が大きくなり、また、Si層厚およびフロント酸化膜厚に比べてパック酸化膜厚が大きい場合はパック酸化膜容量 $C_{ox..}$ が小さくなるため、測定されるゲートと基板間の容量は、ほぼパック酸化膜容量 $C_{ox..}$ と等しくなってしまう。

【0006】 このために、空乏層容量 C_v のゲート電圧依存性が精密に測定できずSi層の厚さおよび不純物濃度を求めることができなかつた。本発明はSOI構造のMOSデバイスにおいて、Si層が薄く、またはパック酸化膜が厚い場合でもSi層の厚さおよび不純物濃度を求めることができる測定方法を得ることを目的とする。

【0007】

【課題を解決するための手段】 上記課題の解決は、1) パックゲートまたは基板(4)上にパックゲート酸化膜(6)、一導電型シリコン層(1)、フロント酸化膜(5)、フロントゲート(3)が順に積層され、該フロントゲート(3)の両側の該シリコン層(1)に形成された反対導電型拡散層(2)を有するSOI構造のMOS型半導体装置において、該拡散層(2)を基準電位とし、該フロントゲート(3)と該パックゲートまたは基板(4)に印加するバイアス電位を変化させながら該拡散層(2)と該フロントゲート(3)間の静電容量を測定することにより、該シリコン層(1)の厚さとフロント酸化膜(5)の厚さを求める半導体装置の測定方法。あるいは2) 前記1)記載の半導体装置において、該拡散層(2)を基準電位とし、該フロントゲート(3)と該パックゲートまたは基板(4)に印加するバイアス電位を変化させ、該シリコン層(1)のフロント酸化膜側にチャネルが形成されるフロントゲート(3)の電位と、該パックゲートまたは基板(4)の電位とを測定することにより、該シリコン層(1)の厚さおよびフロント酸化膜(5)の厚さあるいはパック酸化膜(6)の厚さを求める半導体装置の測定方法。あるいは3) 前記1)または2)記載の測定方法により求められた該シリコン層(1)の厚さとフロント酸化膜(5)の厚さとパック酸化膜(6)の厚さから、該シリコン層(1)の不純物濃度を求める半導体装置の測定方法により達成される。

【0008】 30

【0009】 30

【0010】 40

【0011】 50

【0008】

【作用】図1(A),(B)は本発明の原理説明図である。図1(A)は容量測定の説明図、図1(B)はドレイン電流測定の説明図である。

【0009】図において、1はチャネル形成領域でSi層、2はソースドレイン領域で拡散層、2-aはドレイン、2-bはソース、3はフロントゲート、4はバックゲートまたは基板、5はフロント酸化膜、6はバック酸化膜、7はフロントゲート3の電位を変化させるフロントゲート電圧源、8はバックゲートまたは基板4の電位を変化させるバックゲートまたは基板電圧源、9はSi層1に形成されたチャネルとフロントゲート3間の容量を測定する容量計C、10はドレイン2-aに電位を与えるための電圧源、11はドレイン電流を測定する電流計Aである。

【0010】Si層1のバック酸化膜側のみにチャネルが形成された状態で測定される容量C₁はフロント酸化膜C_{ox-F}と空乏層容量C_sが直列接続された値である。またSi層1のフロント酸化膜側のみにチャネルが形成された状態で測定される容量C₂はフロント酸化膜C_{ox-F}の値である。

* 【0011】したがって、C₁とC₂を測定すれば、次式よりC_{ox-F}とC_sが得られる。

$$C_{ox-F} = C_1$$

$$C_s = (C_1^{-1} - C_2^{-1})^{-1}$$

C_{ox-F}の値より次式を用いてフロント酸化膜厚t_{ox-F}が得られる。

$$【0012】 t_{ox-F} = C_{ox-F} / \epsilon_{ox}$$

ここで、 ϵ_{ox} は酸化膜の誘電率である。C₁の測定において、形成されたチャネル層の厚さが十分薄くかつSi層1が完全に空乏化しておれば、Si層1の厚さt_{s1}は空乏層の厚さに等しいと考えられ次式より求められる。

$$【0013】 t_{s1} = C_s / \epsilon_{s1}$$

ここで、 ϵ_{s1} はSiの誘電率である。このようにして、本測定法ではC₁とC₂を測定することにより、フロント酸化膜厚t_{ox-F}とSi層の厚さt_{s1}が求められる。

【0014】Si層1内の不純物分布が一様であり、完全に空乏化した状態では、Si層1のフロント酸化膜側界面の電位V_fは(1)式で示される。

$$【0015】$$

20 【数1】

*

$$V_f = \frac{1}{\frac{\epsilon_{ox}}{t_{ox-F} + \frac{1}{\epsilon_{s1}} t_{s1} + t_{ox-F}} \left[\left(t_{ox-F} + \frac{\epsilon_{ox}}{\epsilon_{s1}} t_{s1} \right) (V_{s-F} - \Phi_{H-F} + \Phi_s) + t_{ox-F} (V_{s-F} - \Phi_{H-F} + \Phi_s) + \frac{qN}{2\epsilon_{ox}} t_{s1} t_{ox-F} \left(\frac{\epsilon_{ox}}{\epsilon_{s1}} t_{s1} + 2 t_{ox-F} \right) \right]} \dots \dots \quad (1)$$

【0016】また、Si層1のバック酸化膜側界面の電位V_bは(2)式で示される。

* 【0017】

* 【数2】

$$V_b = \frac{1}{\frac{\epsilon_{ox}}{t_{ox-B} + \frac{1}{\epsilon_{s1}} t_{s1} + t_{ox-B}} \left[\left(t_{ox-B} + \frac{\epsilon_{ox}}{\epsilon_{s1}} t_{s1} \right) (V_{s-B} - \Phi_{H-B} + \Phi_s) + t_{ox-B} (V_{s-B} - \Phi_{H-B} + \Phi_s) + \frac{qN}{2\epsilon_{ox}} t_{s1} t_{ox-B} \left(\frac{\epsilon_{ox}}{\epsilon_{s1}} t_{s1} + 2 t_{ox-B} \right) \right]} \dots \dots \quad (2)$$

【0018】ここで、t_{ox-B}はバック酸化膜厚、V_{s-B}はフロントゲート3の電位、V_{s-B}はバックゲートまたは基板4の電位、 Φ_s はSi層1の仕事関数、 Φ_{H-B} はフロントゲート3の仕事関数、 Φ_{H-B} はバックゲートまたは基板4の仕事関数、qはSi層1内の不純物イオンの電荷、NはSi層1内の不純物濃度である。

【0019】Si層1のフロント酸化膜側にチャネルがわずかに形成された状態でのV_fは、V_{s-F}、V_{s-B}に依らず一定であるから、この状態では(3)に示される値は一定となる。

$$【0020】$$

【数3】

(4)

6

$$\left(t_{ox-s} + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si} \right) (V_{o-f} - \Phi_{h-f} + \Phi_s) + t_{ox-f} (V_{o-s} - \Phi_{h-s} + \Phi_s) \quad \dots \dots (8)$$

【0021】したがって、この状態での V_{o-f} の V_{o-s} * 【0022】

依存性を測定することにより(4)式が得られる。 * 【数4】

$$\frac{d V_{o-f}}{d V_{o-s}} = - \frac{t_{ox-f}}{t_{ox-s} + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si}} \quad \dots \dots (4)$$

【0023】同様にSi層1のバック酸化膜側にチャネル * 【0024】

がわずかに形成された状態では(5)に示される値が一定 * 【数5】

となる。 *

$$t_{ox-s} (V_{o-f} - \Phi_{h-f} + \Phi_s) + \left(t_{ox-f} + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si} \right) (V_{o-s} - \Phi_{h-s} + \Phi_s) \quad \dots \dots (5)$$

【0025】したがって、この状態での V_{o-f} の V_{o-s} ★【0026】

依存性を測定することにより(6)式が得られる。 ★20 【数6】

$$\frac{d V_{o-f}}{d V_{o-s}} = - \frac{t_{ox-f} + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si}}{t_{ox-s}} \quad \dots \dots (6)$$

【0027】(4)式と(6)式より、フロント酸化膜厚 t_{ox-f} が既に分かっておれば、Si層の厚さ t_{si} とバック酸化膜厚 t_{ox-s} が求まる。すなわち、フロント酸化膜側にチャネルがわずかに形成された状態と、バック酸化膜側にチャネルがわずかに形成された状態で、 V_{o-f} の V_{o-s} 依存性を測定することにより、 t_{ox-f} が既知ならば、 t_{si} と t_{ox-s} が求まる。【0028】 V_{o-f} の V_{o-s} 依存性は、例えば、 V_{o-f} を固定した状態で V_{o-f} を変化させ、チャネルとフロン☆★トゲート間の容量、またはドレイン電流が立ち上がり始める V_{o-f} より求まる。【0029】Si層1のフロント酸化膜側界面にわずかにチャネルが形成された状態での V_{o-f} と、バック酸化膜側界面にわずかにチャネルが形成された状態での V_{o-f} は等しいので、(1)式と(2)式より次の(7)式が得られ、Si層1の不純物濃度 N が求まる。

33

【0030】

【数7】

$$N = \frac{2 \epsilon_{si}}{q t_{si}^2 (t_{ox-s} - t_{ox-f})} \left[\left(t_{ox-s} + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si} \right) V_{o-f}^* + t_{ox-f} V_{o-s}^* \right]$$

$$- t_{ox-s} V_{o-f}^* - \left(t_{ox-f} + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si} \right) V_{o-s}^* + \frac{\epsilon_{ox}}{\epsilon_{si}} t_{si} (\Phi_{h-s} - \Phi_{h-f}) \right] \quad \dots \dots (7)$$

【0031】ここで、 V_{o-f}^* と V_{o-s}^* はSi層1のフロント酸化膜側界面にわずかにチャネルが形成された状態でのフロントゲート3の電位とバックゲートまたは基板4の電位であり、 V_{o-f}^* と V_{o-s}^* はSi層1のバック酸化膜側界面にわずかにチャネルが形成された状態でのフロントゲート3の電位とバックゲートまたは基板4

の電位である。

【0032】(7)式より、フロントゲート3の仕事間数 Φ_{h-f} 、バックゲートまたは基板4の仕事間数 Φ_{h-s} が分かっていれば、上述の方法で求めた t_{ox-f} と t_{ox-s} と t_{si} とより不純物濃度 N が求まる。

50 【0033】

【実施例】実施例として、nチャネルMOS FETの測定について説明する。測定したMOSFETではフロントゲート3および拡散層2はn型、Si層1はp型、基板4はp型である。

【0034】チャネルとフロントゲート間の容量CのV_{ds}依存性を図2に示す。この図は、ゲート長L=ゲート幅W=500μmで、V_{ds}が25Vと-25Vの場合を示している。

【0035】図2より、C₁=50~55nF/cm²、C₂=93.72 nF/cm²であり、これより

$$t_{ox-r} = 36.9 \text{ nm}$$

$$t_{s1} = 78 \text{ nm} \sim 97 \text{ nm}$$

が得られる。

【0036】次に、ドレイン電流の測定結果から得られた相互コンダクタンスG_mのV_{ds}依存性を図3に示す。この図は、ゲート長L=ゲート幅W=20μmで、V_{ds}が20Vと-20Vの場合を示している。

【0037】図2で、Cが0から立ち上がるV_{ds}および図3でG_mが0から立ち上がるV_{ds}、のV_{ds}依存性を図4に示す。図4の左側の直線はSi層1のフロント界面側にわずかにチャネルが形成された状態を示しており、右側の直線はSi層1のバック界面側にわずかにチャネルが形成された状態を示している。

【0038】これらの直線の傾きおよび(4)式、(6)式とより、

$$t_{ox-r} = 0.0679 [(t_{ox-r} + t_{s1} \varepsilon_{ox} / \varepsilon_{s1})]$$

$$t_{ox-r} = 0.130 [(t_{ox-r} + t_{s1} \varepsilon_{ox} / \varepsilon_{s1})]$$

となり、すでに求められたt_{ox-r}=36.9 nmを用いると、t_{ox-r}=514 nmとt_{s1}=90 nmが得られる。

【0039】また、フロントゲート3の不純物濃度が1×10¹⁹cm⁻³であり、基板4の不純物濃度が1×10¹⁹cm⁻³であることより、Φ_m-Φ_{ds}=0.78Vであり、(7)式より

$$N = 3.6 \times 10^{19} \text{ cm}^{-3}$$

が得られる。

* 【0040】

【発明の効果】本発明によれば、SOI構造のMOSデバイスにおいて、Si層のフロント酸化膜側のみにチャネルが形成された状態とバック酸化膜側のみにチャネルが形成された状態でのチャネルとゲート間の容量、およびフロントゲートとバックゲート（または基板）のしきい値電圧を測定することにより、Si層の厚さおよび不純物濃度を求めることができ、半導体装置の作成方法の評価および特性の解析に寄与することができた。

10 【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 チャネルとフロントゲート間の容量CのV_{ds}依存性を示す図

【図3】 ドレイン電流の測定結果から得られた相互コンダクタンスG_mのV_{ds}依存性を示す図

【図4】 Cが0から立ち上がるV_{ds}、およびG_mが0から立ち上がるV_{ds}のV_{ds}依存性を示す図

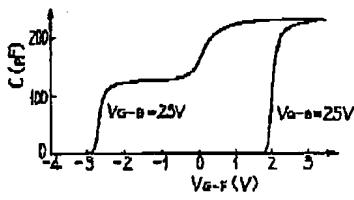
【符号の説明】

- 1 チャネル形成領域でSi層
- 2 ソースドレイン領域で拡散層
- 2-a ドレイン
- 2-b ソース
- 3 フロントゲート
- 4 バックゲートまたは基板
- 5 フロント酸化膜
- 6 バック酸化膜
- 7 フロントゲート3の電位を変化させるフロントゲート電圧源
- 8 バックゲートまたは基板4の電位を変化させるバックゲートまたは基板電圧源
- 9 Si層1に形成されたチャネルとフロントゲート3間の容量を測定する容量計C
- 10 ドレイン2-aに電位を与えるための電圧源
- 11 ドレイン電流を測定する電流計A

*

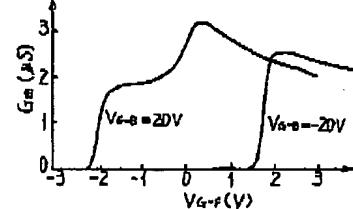
【図2】

チャネルヒアロントゲート間の容量CのV_{ds}依存性を示す図



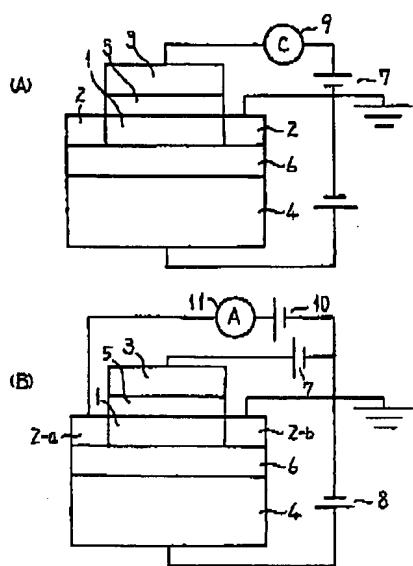
【図3】

ドレイン電流の測定結果から得られた相互コンダクタンスG_mのV_{ds}依存性を示す図



【図1】

本発明の原理説明図



【図4】

Cが0から立ち上かるV_{a-s}およびCが0から立ち上かるV_{a-r}のV_{a-s}依存性を示す図